

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Yuji Furuta

Application No.: 10/053,184

Group Art Unit: 2631

Filed: November 9, 2001

Examiner: Not Yet Assigned

COMPACT MPEG DATA PROCESSING
CIRCUIT AND METHOD OF
CONTROLLING THE SAME

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
Washington, DC 20231

Dear Sir:

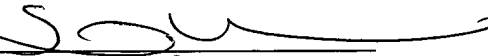
Applicant hereby claims priority under 35 U.S.C. 119 based on the following
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2000-341976	November 9, 2000

In support of this claim, a certified copy of the said original foreign application is
filed herewith.

Dated: July 9, 2002

Respectfully submitted,

By 

Steven I. Weisburd

Registration No.: 27,409

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

1177 Avenue of the Americas, 41st Floor
New York, New York 10036-2714
(212) 835-1400
Attorneys for Applicant

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:



0 0 0 年 1 1 月 9 日

出 願 番 号

Application Number:

特 願 2 0 0 0 - 3 4 1 9 7 6

出 願 人

Applicant(s):

日 本 電 気 株 式 有 限 公 司

RECEIVED

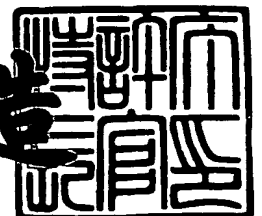
JUL 10 2002

Technology Center 2600

2 0 0 1 年 8 月 3 1 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 1 - 3 0 8 0 8 7 7

【書類名】 特許願

【整理番号】 68501870

【提出日】 平成12年11月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/08

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 古田 勇次

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100097157

 【弁理士】

 【氏名又は名称】 桂木 雄二

【手数料の表示】

 【予納台帳番号】 024431

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9303562

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 M P E G データ処理回路およびその制御方法

【特許請求の範囲】

【請求項 1】 入力された M P E G データを処理して M P E G データを出力する M P E G データ処理回路であって、

入力された M P E G データを、処理すべきデータブロックと、処理を行わないデータブロックとに分割し、第一記憶部には処理すべきデータを順次格納し、第二記憶部には前記第一記憶部に格納したデータ数あるいは処理を行わないデータを順次格納し、入力された M P E G データの順に従って、処理を行わないデータを第二記憶部から出力し、また処理すべきデータを第一記憶部から出力して所定部を部分的に置換して、それぞれのブロックを元の順序で結合して M P E G データとして出力することを特徴とする M P E G データ処理制御回路。

【請求項 2】 入力された M P E G データを処理して M P E G データを出力する M P E G データ処理回路であって、

入力された M P E G データを判定してシステムストリームデータとシステムストリームデータ中のビデオエレメンタリーデータの出力状態を示すビデオストリームステータス信号 12 を出力する V - E S 検出部と、

前記 V - E S 検出部からの非ビデオエレメンタリーデータ部を格納するメモリと、

前記 V - E S 検出部からのビデオエレメンタリーデータ部をビット単位に分割し格納するバレルシフタと、

前記バレルシフタからの出力に接続された可変長デコーダと、

前記可変長デコーダの出力に接続されたデータ置換部と、

前記データ置換部の出力に接続された可変長エンコーダと、

前記可変長エンコーダの出力に接続されたビットパッカー部と、

前記ビットパッカー部及び前記メモリの出力を結合して元の順序の M P E G データを出力するデータ結合部と、

前記 V - E S 検出部からの制御信号および前記可変長デコーダからの信号並びに前記データ結合部からの信号に基づいて前記バレルシフタと前記データ置換部

のデータ入出力を制御する制御部と

前記V-E S検出部からの制御信号に基づき前記メモリのデータ入出力を制御するとともに前記制御部に制御信号を出力するメモリ制御部と、
を含み構成されたことを特徴とするMPEGデータ処理回路。

【請求項3】 前記メモリ制御部は、前記V-E S検出部からビデオデータストリームが1バイト以上出力された場合に前記メモリのデータ残量を参照し前記メモリに格納データが無い場合には前記バレルシフタ内のデータを前記データ結合部から出力させることを特徴とする請求項2に記載のMPEGデータ処理回路。

【請求項4】 前記データ置換部は電子透かし挿入部であり、前記可変長デコードの出力に接続された電子透かし検出部を更に備えたことを特徴とする請求項2または3記載のMPEGデータ処理回路。

【請求項5】 前記バレルシフタ内にも保持したままバレルシフタより先行出力されたバレルシフタ内残留データ数を格納するための先行出力長格納部と、先行出力後に最初にバレルシフタに入力されたデータに対応して出力されるデータ数から前記先行出力長格納部の格納値を引いた差を格納するための端数長格納部とを更に備えて構成されたことを特徴とする請求項2～4のいずれか1項に記載のMPEGデータ処理回路。

【請求項6】 MPEGデータ処理回路に入力されたMPEGデータストリームを、処理すべきブロックと処理不要なブロックとに分割してそれぞれ第一記憶部と第二記憶部とに格納する過程と、

前記第一記憶部に格納されている処理すべきブロックを可変長デコードして得られたデータ群の所定位置の値を所望の値に置換処理する過程と、

この置換されたデータ群を可変長エンコードして処理済みブロックを得る過程と、

この処理済みブロックと前記第二記憶部に格納されている処理不要なブロックとを入力された順序で結合してMPEGデータストリームとして出力する過程からなるMPEGデータ処理回路の制御方法。

【請求項7】 前記第二記憶部のデータ残量を参照し、格納データが無い場

合は、置換処理すべきデータの入力を待たずに、前記第二記憶部にデータを書き込むことを特徴とする請求項 6 に記載の M P E G データ処理回路の制御方法。

【請求項 8】 請求項 5 に記載の M P E G データ処理回路の制御方法であって、

入力された M P E G データストリームを、非ビデオエレメンタリーデータ部とビデオエレメンタリーデータ部とに分割してそれぞれを前記メモリと前記バレルシフタとに格納する過程と、

前記バレルシフタに格納されているビデオエレメンタリーデータを可変長デコードして得られたデータ群の所定位置の値を所望の値に置換処理する過程と、

この置換されたデータ群を可変長エンコードして処理済みブロックを得る過程と、

この処理済みブロックと前記メモリに格納されている非ビデオエレメンタリーデータ部とを入力された順序で結合して M P E G データストリームとして出力する過程と、

前記メモリが Full 状態で、かつ、前記データ結合部が入力待ち状態で、かつ、前記可変長デコーダと前記電子透かし挿入部と前記可変長エンコーダとにデータがなく、かつ、前記バレルシフタにデータが残留しており当該データがデコードできない場合を検出した場合には、前記バレルシフタ内残留データ数を前記先行出力長格納部に格納するとともにバレルシフタ内のデータを残留させたままバレルシフタから出力する過程と

からなる M P E G データ処理回路の制御方法。

【請求項 9】 請求項 5 に記載の M P E G データ処理回路の制御方法であって、

入力された M P E G データストリームを、非ビデオエレメンタリーデータ部とビデオエレメンタリーデータ部とに分割してそれぞれを前記メモリと前記バレルシフタとに格納する過程と、

前記バレルシフタに格納されているビデオエレメンタリーデータを可変長デコードして得られたデータ群の所定位置の値を所望の値に置換処理する過程と、

この置換されたデータ群を可変長エンコードして処理済みブロックを得る過程

と、

この処理済みブロックと前記メモリに格納されている非ビデオエレメンタリーデータ部とを入力された順序で結合してMPEGデータストリームとして出力する過程と、

MPEGデータストリームが一定時間入力されない事を検出した場合には、前記バレルシフタに残留しているデータがあればこの残留データを出力するように制御する過程と

からなるMPEGデータ処理回路の制御方法。

【請求項10】 請求項5に記載のMPEGデータ処理回路の制御方法であって、

入力されたMPEGデータストリームを、非ビデオエレメンタリーデータ部とビデオエレメンタリーデータ部とに分割してそれぞれを前記メモリと前記バレルシフタとに格納する過程と、

前記バレルシフタに格納されているビデオエレメンタリーデータを可変長デコードして得られたデータ群の所定位置の値を所望の値に置換処理する過程と、

この置換されたデータ群を可変長エンコードして処理済みブロックを得る過程と、

この処理済みブロックと前記メモリに格納されている非ビデオエレメンタリーデータ部とを入力された順序で結合してMPEGデータストリームとして出力する過程と、

MPEGデータストリームの1区切りのデータの入力完了通知が外部から入力された場合には、前記バレルシフタに残留しているデータがあればこの残留データを出力するように制御する過程と

からなるMPEGデータ処理回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MPEG(Moving Picture Experts Group)符号化された、TS(Transport Stream)やPS(Program Stream)のようなシステムストリームに対して、

そのVideo データなどに電子透かし (Watermark) を挿入する等のデータ処理をして、元のシステムストリームの形状に復元し出力するMPEGデータ処理回路とその制御方法に関する。

【 0 0 0 2 】

【従来の技術】

動画ビデオ画像及び音声信号を、伝送或いは記憶のために圧縮するための標準として、MPEG (Moving Picture Experts Group) 規格 (MPEG 1 および MPEG 2 規格) がある。圧縮されたMPEGデータストリームは、音声データおよびビデオデータの再構成に必要な種々のパラメータを含む。MPEGデータストリームは、2つのデータストリームすなわち音声データストリームおよびビデオデータストリームに容易に分割することができる。

【 0 0 0 3 】

MPEG技術に関連して、MPEG符号化されたTS (Transport Stream) やPS (Program Stream) のようなシステムストリームに対して、そのデータの一部を改竄するデータ処理をして、元のシステムストリームの形状に復元し出力する機能 (処理) が求められる。

【 0 0 0 4 】

良く知られた例では、データの著作権保護等の目的で用いられる電子透かし (Watermark) の挿入処理がある。電子透かしは、ビデオデータを元の画像との相違が極めて少ないように、目視では確認できない程度に意図的に変更し、何らかの情報を埋め込む技術である。以下では、ビデオデータに対する電子透かし挿入を例にとり、MPEGデータの一部を改竄するデータ処理について説明する。

【 0 0 0 5 】

従来より、NTSCやPAL 方式のビデオ信号状態の映像に電子透かしを刷り込みMPEG符号化 (Encode) する手法或いは、MPEG符号化されたビデオエレメントリ streams (Video Elementary Stream、以下VESとも記す) に対して、電子透かしを挿入処理して、その後にMPEGシステムストリーム (TS/PS) 化する技術が各種提案されてきた。

【 0 0 0 6 】

しかし、ビデオ信号状態の映像に電子透かしを刷り込む方法では、MPEG符号化されたストリームに対して、一旦、ビデオ信号に復号して電子透かしを刷り込み、再びMPEGエンコードを行う必要があった。

【 0 0 0 7 】

また、MPEG符号化されたVESに対して電子透かしを刷り込む方法では、全ストリームを一旦、ビデオデータ部と非ビデオデータ部に分離して、大容量記憶媒体（ハードディスク等）に格納し、VESに電子透かしを挿入し、それを大容量記憶媒体に格納しなおした後に大容量記憶媒体から、電子透かしを挿入したVESと先に格納した非ビデオデータ部を読み出し両者を結合する処理が行われてきた。

【 0 0 0 8 】

VESに電子透かしを挿入する技術については、例えば特開平2000-244881号公報；「電子透かしデータ挿入システム」にはMPEGデータ中のESCAPEコードに続くDCT（離散コサイン変換；Discrete Cosine Transform）係数を検出した場合にこのDCT係数の位置および電子透かしデータ挿入に必要な情報を抽出しこれらを基に前記DCT係数を電子透かしデータが挿入されたDCT係数に変換して出力MPEGデータとする装置が開示されている。

【 0 0 0 9 】

これらの手法では、2工程以上の作業が必要で、リアルタイム処理はできない。また、大容量の記憶装置が必要であることなどの問題点があった。

【 0 0 1 0 】

特開平11-341450号公報；「電子透かし埋め込み装置および電子透かし抽出装置」には、TS(Transport Stream)をデコードすることなしに電子透かしを埋め込むことが可能な電子透かし埋め込み装置が抽出装置と併せて提案されている。この埋め込み装置では、TSに符号化されたMPEG2データから、予め定められた32ビットの開始または終了コードを検出し、この32ビットコードの位置を基準に計数して所定位置に電子透かしを埋め込んでいる。

【 0 0 1 1 】

この特開平11-341450号公報に開示の技術においては、MPEG2標準による

符号化画像情報のブロック層の1つのDCT係数中にPESHまたはTSHが存在するMPEGストリームに対応するために大量のメモリを所有する必要がある。MPEGの仕様では、1つのDCT係数を構成するビットがすべてそろわない限り、係数長を判断することができない事になり、引き続く係数のデコードも継続できない。従って、DCT係数を構成するビットをすべてそろえる必要がある。この1つのDCT係数内にPESHやTSHが存在した場合は、このヘッダを一次的に保管しておかない限りDCT係数の全ビットをそろえることができない事になる。従って、MPEGストリームに対応するために大量のメモリを備える必要が生じることになり、一般に回路規模は大となってしまう。

【0012】

本発明は、MPEGデータ処理に際してビデオ信号への変換が不要で電子透かしの挿入と検出を同時にリアルタイムで行える装置等（例えば上記特開平11-341450号公報における装置）に適用可能な回路とその制御方法と併せて提案するものである。特に本発明では、非ビデオデータをごく小規模なメモリで構成されたFIFOバッファや、フリップフロップ回路(Flip-flop)で構成された小さなFIFOバッファを使用して実現可能にし大容量記憶媒体を必要としない規模の小さい構成を提案している。従って、本発明によれば電子透かしの挿入と検出を同時にリアルタイムで行える装置に適用可能な回路を1チップのLSIとして実現でき得る。

【0013】

【発明が解決しようとする課題】

すなわち、本発明の目的は、大容量記憶媒体を必要とすることなしに、ごく小規模なメモリで構成されたFIFOバッファ、或いはフリップフロップで構成された小さなFIFOバッファを使用してMPEGデータに対して電子透かしの挿入や検出等がリアルタイムで行える装置に適用する事が可能で、電子透かし挿入に用いた場合にも挿入量が、大容量記憶媒体を利用した場合と比べても遜色ない小規模なMPEGデータ処理回路を提供することにある。

【0014】

なお、本発明回路は小規模なメモリを使用した構成であるにもかかわらず、電

子透かし挿入に使用した場合には電子透かしの挿入量は、大容量記憶媒体を利用した場合と比べても、ほとんど遜色ない性能が得られる。本発明は、電子透かしの挿入に限らず電子透かしの検出にも応用できる他、MPEGデータストリームのデータ置換処理にひろく用い得る。

【0015】

【課題を解決するための手段】

課題解決のため、本発明では、入力されたMPEGデータを処理してMPEGデータを出力するMPEGデータ処理回路を、入力されたMPEGデータを、処理すべきデータブロックと、処理を行わないデータブロックとに分割し、第一記憶部に処理すべきデータを順次格納し、第二記憶部には前記第一記憶部に格納したデータ数あるいは処理を行わないデータを順次格納し、入力されたMPEGデータの順に従って、処理を行わないデータを第一記憶部から出力し、また処理すべきデータを第二記憶部から出力して所定部を部分的に置換して、それぞれのブロックを元の順序で結合してMPEGデータとして出力するように構成する。

【0016】

また、本発明ではMPEGデータ処理回路を、入力されたMPEGデータを判定してシステムストリームデータとシステムストリームデータ中のビデオエレメンタリーデータの出力状態を示すビデオストリームステータス信号12を出力するV-E S (Video Elementary Stream) 検出部と、前記V-E S検出部からの非ビデオエレメンタリーデータ部を格納するメモリと、前記V-E S検出部からのビデオエレメンタリーデータ部をビット単位に分割し格納するバレルシフタと、前記バレルシフタからの出力に接続された可変長デコーダと、前記可変長デコーダの出力に接続されたデータ置換部と、前記データ置換部の出力に接続された可変長エンコーダと、前記可変長エンコーダの出力に接続されたビットパッカー部と、前記ビットパッカー部及び前記メモリの出力を結合して元の順序のMPEGデータを出力するデータ結合部と、前記V-E S検出部からの制御信号および前記可変長デコーダからの信号並びに前記データ結合部からの信号に基づいて前記バレルシフタと前記データ置換部のデータ入出力を制御する制御部と、そして、前記V-E S検出部からの制御信号に基づき前記メモリのデータ入出力を制御す

るとともに前記制御部に制御信号を出力するメモリ制御部とを有する構成とする。

【0017】

上記構成において、前記メモリ制御部が、前記V-E S検出部からビデオデータストリームが1バイト以上出力された場合に前記メモリのデータ残量を参照し前記メモリに格納データが無い場合には前記バレルシフタ内のデータを前記データ結合部から出力させるようにしても良い。また、前記データ置換部を電子透かし挿入部とし、前記可変長デコーダの出力に接続された電子透かし検出部を更に備えた構成として、入力されたMPEGデータストリームの所定位置への電子透かし挿入および／または電子透かし検出を行えるようにすることもできる。

【0018】

また、前記バレルシフタ内にも保持したままバレルシフタより先行出力されたバレルシフタ内残留データ数を格納するための先行出力長格納部と、先行出力後に最初にバレルシフタに入力されたデータに対応して出力されるデータ数から前記先行出力長格納部の格納値を引いた差を格納するための端数長格納部とを付加した構成を更に備える構成も採りうる。

【0019】

また、本発明方法によるMPEGデータ処理回路制御は、MPEGデータ処理回路に入力されたMPEGデータストリームを、処理すべきブロックと処理不要なブロックとに分割してそれぞれ第一記憶部と第二記憶部とに格納する過程と、前記第一記憶部に格納されている処理すべきブロックを可変長デコードして得られたデータ群の所定位置の値を所望の値に置換処理する過程と、この置換されたデータ群を可変長エンコードして処理済みブロックを得る過程と、この処理済みブロックと前記第二記憶部に格納されている処理不要なブロックとを入力された順序で結合してMPEGデータストリームとして出力する過程から構成される。

【0020】

上記制御において、前記第二記憶部のデータ残量を参照し、格納データが無い場合は、置換処理すべきデータの入力を待たずに、前記第二記憶部にデータを書き込むようにしても良い。

【 0 0 2 1 】

また本発明方法では、前述した先行出力長格納部および端数長格納部をも備えたMPEGデータ処理回路において、所定データ処理のための各過程に加えて、前記メモリがFull状態で、かつ、前記データ結合部が入力待ち状態で、かつ、前記可変長デコーダと前記電子透かし挿入部と前記可変長エンコーダとにデータがなく、かつ、前記バレルシフタにデータが残留しており当該データがデコードできない場合を検出した場合には、前記バレルシフタ内残留データ数を前記先行出力長格納部に格納するとともにバレルシフタ内のデータを残留させたままバレルシフタから出力するように制御する。MPEGデータストリームが一定時間入力されない事を検出した場合には前記バレルシフタに残留しているデータがあればこの残留データを出力するように制御する過程を含むようにしたり、MPEGデータストリームの1区切りのデータの入力完了通知が外部から入力された場合には前記バレルシフタに残留しているデータがあればこの残留データを出力するように制御する過程を含む制御を行っても良い。

【 0 0 2 2 】

【発明の実施の形態】

本発明によれば、MPEGデータ処理回路において、入力されるMPEGシステムストリームを一時的に、処理が必要なブロック（例えばビデオエレメンタリーデータ部）と、処理を行わないブロック（例えば非ビデオエレメンタリーデータ部）に分割して、第一記憶部（バレルシフタ）に処理すべきデータを順次格納し、第二記憶部（FIFOバッファ）には前記第1メモリに格納したデータ数あるいは処理を行わないデータを、ブロック種別に応じて所定の格納形態で順次格納し管理して、処理が必要なブロックのデータに必要とするデータ処理を行った後で最後に結合しMPEGシステムストリームとして出力する。

【 0 0 2 3 】

本発明回路は、VES検出部と、非ビデオエレメンタリーデータ部を格納するメモリと、ビデオエレメンタリーデータ部をビット単位に分割し格納するバレルシフタと、バレルシフタに順に接続された可変長デコーダ、データ置換部、可変長エンコーダ、ビットパッカー部と、前記ビットパッカー部及び前記メモリの

出力を結合して元の順序で出力するデータ結合部と、制御部及びメモリ制御部とにより構成できる。

【 0 0 2 4 】

上記回路に、バレルシフタ内にも保持したままバレルシフタより先行出力されたバレルシフタ内残留データ数を格納するための先行出力長格納部と、先行出力後に最初にバレルシフタに入力されたデータに対応して出力されるデータ数から前記先行出力長格納部の格納値を引いた差を格納するための端数長格納部とを更に備えるようにすることもできる。

【 0 0 2 5 】

なお、本発明においては、入力システムストリームデータのデータ数と、出力システムストリームデータのデータ数が一致するシステムを想定している。すなわち、例えば電子透かし挿入の過程でDCT係数の符号長が異なる等しても良いが、最終的にはMPEGストリーム全体のバイト数は一致するものとする。以下、実施例を挙げ図面を参照して本発明を説明する。

【 0 0 2 6 】

〔実施例の構成〕図1は、本発明のMPEGデータ処理回路の一実施例である電子透かし挿入回路の概略構成を示すブロック図である。

【 0 0 2 7 】

図1を参照すると、実施例回路は、V-E S (Video Elementary Stream) 検出部10、バレルシフタ20、可変長デコーダ(VLD; Variable Length Decoder) 30、そしてデータ置換部としての電子透かし挿入部40、更に電子透かし検出部40'、可変長エンコーダ(VLC; Variable Length enCoder) 50、ビットパッカー(Bit Packer)60、メモリ90、メモリ制御部80、データ結合部70、制御部100、先行出力長格納部103 及び、端数長格納部104 を具備している。

【 0 0 2 8 】

すなわち、図示MPEGデータ処理回路は、入力されたMPEGデータを判定してシステムストリームデータ11とシステムストリームデータ11中のビデオエレメンタリーデータの出力状態を示すビデオストリームステータス信号12を出力するV-E S検出部10と、前記V-E S検出部10からの非ビデオエレメンタリーデ

ータ部を格納する第二の記憶部としてのメモリ90と、前記V-E S検出部10からのシステムストリームデータ11をビット単位に分割しビデオエレメンタリーデータを格納する第一の記憶部としてのバレルシフタ20と、前記バレルシフタ20からの出力に接続されており分割されたデータをDCT係数にデコードする可変長デコーダ(VLD) 30と、この可変長デコーダ30の出力に接続されて電子透かし挿入を行うためのデータ置換部としての電子透かし挿入部40と、この電子透かし挿入部40の出力に接続されていてDCT係数を再びエンコードする可変長エンコーダ(VLC) 50および電子透かし検出器40' と、前記可変長エンコーダ50の出力に接続されておりビット列を8ビット単位にパッキングするビットパッカー60と、このビットパッカー60及び前記メモリ90からのそれぞれの出力を結合して元の順序のMPEGデータを復元して出力するデータ結合部70と、前記V-E S検出部10からの制御信号および前記可変長デコーダ30からの信号並びに前記データ結合部70からの信号に基づいて前記バレルシフタ20と前記データ置換部40のデータ入出力を制御する制御部100 と、前記V-E S検出部10からの制御信号12に基づき前記メモリ90のデータ入出力を制御するとともに前記制御部100 に制御信号を出力するメモリ制御部80と、制御情報を格納する先行出力長格納部103 及び、端数長格納部104 により構成されている。

【 0 0 2 9 】

なお、図中で破線で示している電子透かし検出器40' は可変長デコーダ30からDCT係数を抽出するもので、電子透かし挿入機能のみ使用する場合には必要ない。

【 0 0 3 0 】

実施例回路の構成各部の主要なものについて更に説明する。V-E S検出部10は、例えば、特願2000-161356号；「MPEGビデオエレメンタリーストリーム抽出装置及び、それに用いるエレメンタリーストリーム抽出方法」の明細書に記載の方法を用いて、PSやTSを自動的に判定し、システムストリームデータ11とシステムストリームデータ11中のVESの出力状態を示すVESステータス信号12を出力する。このV-E S検出部10は、入力されたシステムストリームデータ1 を数段のFlip-Flop を用いて一定時間遅れて、システムストリームデータ11

として出力する。この間に入力システムストリームデータ1を解析して、前述のVESステータス信号12を生成する。

【0031】

バレルシフタ20（第一記憶部）は、例えば、64ビットのバレルシフタである。バレルシフタ20は、システムストリームデータ11中のビデオエレメンタリーデータのみをビット単位に分割し取込み格納し、制御部100の管理下で可変長デコーダ30に出力する。

【0032】

可変長デコーダ（VLD）30の主な機能は、MPEGビデオデータストリームについて構文解析を行ない、すべてのパラメータおよびビデオデータを抽出し、後続する電子透かし挿入部40と電子透かし検出部40'に出力することである。また可変長エンコーダ50にも必要情報を提供する。

【0033】

メモリ90（第二記憶部）は、前記VES検出部10からの非ビデオエレメンタリーデータ部のデータとビデオエレメンタリーデータ部に関する情報（非格納データ長）とをブロック種別に対応付けて入力された順に格納するもので、9Bit幅の多段構成で、FIFO(Fast In Fast Out)バッファの様に動作し、メモリ内に書き込まれた順番で、データの読み出しが行われる。メモリ90のFIFOとしての段数は、本実施例では、4段～32段を想定しているが、多ければ多いほど電子透かし挿入数を増加させることができる。

【0034】

ここで、図2のメモリ格納フォーマットを表す説明図を用いて、メモリ90内のデータ格納方法を説明する。メモリ90の格納形態は、ブロック種別に応じて第一のメモリ格納形態200と第二のメモリ格納形態201の2種類に大別される。メモリ格納形態200と、メモリ格納形態201とは、Bit8により区別される。

【0035】

第一メモリ格納形態200では、Bit8に“0”がセットされ、VES検出部10からのVESステータス信号12が、VESでないことを示している時の入力データ1バイト分がBit7～Bit0に格納される。

【 0 0 3 6 】

第二メモリ格納形態201 は、Bit8に“1”がセットされ、V-E S検出部10からのV E Sステータス信号12が、V E Sであることを示す場合に、連続してバレルシフタ20に書き込まれたデータのバイト数がBit7～Bit0を使って格納される。

【 0 0 3 7 】

〔実施例の動作の説明〕最初に、図1を用いて実施例回路の動作を説明する。
なお、以下の説明では、実施例の入力システムストリームデータ1 や、システムストリームデータ11や、出力システムストリームデータ71は8Bit 幅であるものとする。

【 0 0 3 8 】

V-ES検出部10は、前述したように特願2000-161356 号の記載で代表される回路であり、P SやT Sを自動的に判定し、システムストリームデータ11とシステムストリームデータ11中のV E Sの出力状態を示すV E Sステータス信号12を出力する。その際、入力システムストリームデータ1 を一定時間遅延させてシステムストリームデータ11として出力し、この間にシステムストリームデータ1 を解析してV E Sステータス信号12を生成する。

【 0 0 3 9 】

制御部100 は、V E Sステータス信号12が次にバレルシフタ20に入力されるデータがV E Sであることを示している場合には、バレルシフタ制御信号101 により、バレルシフタにデータの入力を通知・指示する。

【 0 0 4 0 】

この通知に従って、例えば64ビットのバレルシフタ20は、8ビット幅のシステムストリームデータ11を入力する。なお、バレルシフタ20内部にデータが詰まっていて、それ以上入力できない状態の場合は、適宜手段（図示省略）により、バレルシフタから、V-E S検出部10にその旨が通知され、データの入力を一時的に停止するようになっている。

【 0 0 4 1 】

バレルシフタ20は、バレルシフタ制御信号101 の指示に従い蓄積したデータを1bit単位の任意の長さで可変長デコーダ30に出力する。これが可変長符号21（符

号語)に相当する。

【 0 0 4 2 】

可変長デコーダ30では、入力された可変長符号21に基づきデコードを行い、対応するDCT係数31を出力する。このデコードは、ISO-13818/JT-H262 規格に記載のDCT係数表0及び1に従う。DCT係数31は、ラン(Run)とレベル(Level)を伝達する。

【 0 0 4 3 】

ここで、後で可変長エンコードを行うのに必要な情報は、可変長デコーダ30から図示されない適宜手段により可変長エンコーダ50に伝達されるものとする。これらの情報には、現在の符号がDC係数(直流成分)なのか、あるいはAC係数(交流成分)なのかを示したり、EOB(End of Block)を示したり、可変長エンコード時にDCT係数表の0を使うのかあるいは1を使用するのか等が含まれている。

【 0 0 4 4 】

なお、電子透かし挿入部40で改竄後のビット長を調整するために、図示されない信号により、可変長符号21のビット長が伝達される構成も考えられる。先の特開平11-341450号公報の開示技術では、ビットの変化が起こった場合は、スライスの最後のデータ(一般的にはスタフピングビット、同公報ではZSBと記載されている)で整合性を保っており、この様な方法でも対応可能である。この例は、スライス単位でビット長をあわせているが、その他にも、ブロック単位や、マクロブロック単位等でDCT係数の符号長の変化を±0にできればよい。

【 0 0 4 5 】

電子透かし挿入部40では、現在入力されているデータが、どのようなデータあるかを示す電子透かし挿入制御信号102が制御部100から入力され、これに従い必要に応じて電子透かし挿入処理を行う。電子透かし挿入制御信号102には、電子透かし挿入部40に入力される符号がどのスライスの何番目のマクロブロックであるかや、マクロブロック内のどのブロックに属しているかや、ブロック内のどの位置の符号か等の情報が含まれている。

【 0 0 4 6 】

可変長エンコーダ50では、可変長デコーダ30の逆の動作つまり電子透かし入り

DCT係数41から、電子透かし入り可変長符号51を生成する。なお、このとき図示されない手段により、可変長符号長もビットパッカー60に伝達される。ビットパッカー60では、可変長符号51を8Bit単位でパックして、電子透かし入りVES61をデータ結合部70へと出力する。

【0047】

ここで留意すべき点は、バレルシフタ20に入力されるデータは、VESであって、可変長デコーダ(VLD)によりDCT係数にデコードできるものばかりではなく、Sequence Header層や、Slice Header層などのデータも含まれているということである。

【0048】

このことに対応するために、別途、DCT係数以外のデータをビットパッカー60に伝送する手段が存在するものとする(図1では、明示されていない)。具体的な方法としては、バレルシフタ20から、ビットパッカー60に専用のデータラインを設ける方法をとってもよい。或いは、可変長デコーダ30と、電子透かし挿入部40と、可変長エンコーダ50を改良して、その内部をDCT係数以外のデータがその属性情報とともに、流れるようにしてもよい。

【0049】

続いてデータ結合部70の動作を説明する。データ結合部70は、必ず最初にメモリ90からデータを入力し、その情報に基づき動作する。すなわち、メモリ格納形態200のデータが入力された場合は、データ結合部70はBit7~0をシステムストリーム71として出力する。第一メモリ格納形態200のデータが入力される間は、この動作を繰り返す。

【0050】

次に、第二メモリ格納形態201のデータが入力されると、データ結合部70はBit7~0の内容をデータ結合部70内部に保持する。そして、保持したデータのバイト数に相当する数のデータを電子透かし入りVES61から入力する。相当数の入力が完了すると再び、メモリ出力91からデータを入力し、メモリ格納形態に応じて(Bit8の値に従って)上述したいずれかの動作を同様に繰り返す。

【0051】

次に、メモリ90と、メモリ制御部80の動作を説明する。V-E S検出部10からのV E Sステータス信号12が、現在データがV E Sでないことを示している場合は、メモリ制御部80で生成されるメモリ制御信号81にてメモリ90に指示がなされ、メモリ90のBit8には0を、Bit7~0については、システムストリームデータ11から1バイト分のデータを書き込む。すなわち、第一メモリ格納形態200での書き込みが行われる（但し、後述するように直前のデータがV E Sの場合には第二メモリ格納形態201での所定書き込みの後に実行される）。メモリ90はFIFO構成のため、逐次、メモリ出力データ91として、データ結合部70に伝達される。

【 0 0 5 2 】

一方、V E Sステータス信号12が、現データがV E Sであることを示している場合は、メモリ制御部80にてそのバイト数をメモリ制御部80内部のカウンタ（明示なし）でカウントする。そして、次にV E Sでないデータが入力された時点で、メモリ制御信号81にて、メモリ90に指示が出され、先ず、Bit8には1をそしてBit7~Bit0については上述のカウント値を書き込む（第二メモリ格納形態201）。ここでカウント値も、メモリ制御信号81にて伝達される。その後、入力されたV E Sでないデータを第一メモリ格納形態201で書き込む。なお、この過程で1クロック間データを入力できない期間が発生するため、メモリ制御部80は、図示されない信号によりV-E S検出部10に対して1クロック間のデータ出力停止を通知する。

【 0 0 5 3 】

なお、V E Sが連続して255Byte入力された場合は、第二メモリ格納形態201にて、一旦255Byte分のデータ入力があったことをメモリに書き込んだ後、カウンタをクリアする。その後、再びカウントを継続する。このようにして、256Byte以上のデータについては、複数回に分けて記録する。以上が、メモリ制御部80及び、メモリ90の基本動作である。

【 0 0 5 4 】

しかし、上述した制御のみでは、動作上、1点問題がある。基本動作では、第二メモリ格納形態201での書き込みは、「V E Sであることを示している場合は、メモリ制御部80でそのバイト数をカウントし、次に、V E Sでないデータが入

力された時にメモリ90に書き込む」ため、データ結合部70でデータを結合する場合に不都合が発生する。

【0055】

つまり、データ結合部70が電子透かし入りVES61を入力するのは、その前に、メモリ出力データ91から、第二メモリ格納形態201のデータを入力した後となる。しかるに、メモリ90に第二メモリ格納形態201が書き込まれるのは、次に、VESでないデータが入力された時であるから、VESが入力され続けるとデータの転送は中断してしまうことになる。

【0056】

この不都合に対処するため、本発明では、VESであることを示している場合に、メモリ制御部80でそのバイト数をカウントして、カウント値が1以上の場合には、メモリ90のデータ残量を参照するようにし、データ残量が0の場合は、VESでないデータが入力されるのを待たずに、メモリ90に第二メモリ格納形態201のデータを書き込むように制御している。

【0057】

これにより、VESが入力され続けた場合でもデータ結合部70はメモリ90に書き込まれたメモリ格納形態201のデータに対応してバレルシフタ70からのVESを出力しデータ転送の中断が発生しない。

【0058】

実施例回路では、以上のような制御に加えて先行出力長格納部103と、端数長格納部104を用いて端数データを先行して仮出力する制御を行う。先ず、こうした制御が必要となる場合について図3の例を用いて解説する。

【0059】

図3は、MPEGデータストリームの構成の一例を表す説明図で、図示例ではビデオデータ220に引き続き、非ビデオデータ230、ビデオデータ240が入力された場合を示している。ビデオデータ220とビデオデータ240は、VESを示しているものとする。また、非ビデオデータ230は、音声データ(Audio Data)であるかもしれないし、TSのビデオパケット中のTSヘッダや、Adaptation Fieldかもしれないし、PS時のバックヘッダ等である場合もある。なお、図3の250

～251 は、JT-H262 の D C T 係数表 1 から抜粋した対応関係（テーブル）である。

【 0 0 6 0 】

この例では、ビデオデータ220 の最後のデータが、テーブル211 で示される11 00 1111bであったとする。また、ビデオデータ240 の先頭データが、テーブル24 1 で示される0010 0110bであったとする。

【 0 0 6 1 】

以下、図 1 を参照して、図 3 のデータが入力された場合について処理過程を順を追って解説する。最初に、ビデオデータ220 が入力される。ビデオデータ220 は、V－E S 検出部10により、V E S と判定され、バレルシフタ20に入力される。

【 0 0 6 2 】

メモリ制御部80にてバレルシフタ20に入力されたバイト数が管理され、既述した如くに、逐次、メモリ90に書き込まれる。これらのデータは、データ結合部70にて結合されもとのストリーム形態に戻されシステムストリーム出力データ71として出力される。

【 0 0 6 3 】

ビデオデータ220 が順調に入力され最後の1 バイト221 が入力される。このとき、バレルシフタには1100 1111bなるデータが存在することになる。このとき、テーブル250 により1100b が、Run 0 / Level 2 とデコードされ、可変長デコーダ30に渡される。

【 0 0 6 4 】

引き続きデコードを試みるが、データ1111b についてはデコードできる符号がないため、同データが残留する。従って、ビットパッカー60には、データ1100b が残留し、データ結合部70には、データが1 バイト分は入力されないままである。

【 0 0 6 5 】

この状態で、V－E S 検出部10には、先のビデオデータ220 に引き続き非ビデオデータ230 が入力される。対応してV－E S 検出部10は、これらのデータをV

ESではないと判断する。そのため、非ビデオデータ230 は第一メモリ格納形態200 に従って格納され、データ結合部70へと伝送される。しかし、データ結合部70では、先に入力されたビデオデータ220 の最後の1バイトを待ちつづけているため、システムが停止する。

【0066】

この場合には、メモリ90からはデータが読み出されず、メモリ90は非ビデオデータ230 でいっぱいになる。ここで、先行出力長格納部103 と、端数長格納部104 を用いた制御を行う。なお、同様な制御は「入力データが定常的に入力されない場合」に対応しても行われるがこれについては後で詳述する。

【0067】

実施例では、上記した条件でのシステム停止状態、つまり、メモリ90がFull状態で、かつ、データ結合部が電子透かし入りVES61の入力待ち状態で、かつ、可変長デコーダ30及び、電子透かし挿入部40及び、可変長エンコーダ50にデータがなく、かつ、バレルシフタ20にデータが残留していて、かつ、バレルシフタ内のデータがDCT係数にデコードできない場合を検出する。

【0068】

この検出に応じて、制御部100 では、バレルシフタ内残留データ数（この場合は4）を先行出力長格納部103 に格納して、バレルシフタ内にデータを残留したまま、データ1111b をバレルシフタ20から出力する。これによりビットパッカー60では8bit 分のデータが蓄積され1Byteのデータとして、データ結合部70に引き渡され出力される。

【0069】

こうして、データ結合部70は、再びメモリ90からのデータを入力するようになり、非ビデオデータ230 は、システムストリーム出力データ71として出力される。

【0070】

引き続きビデオデータ240 が入力される。V-E S検出部10では、このデータがビデオエレメンタリーであると判断する。従って、バレルシフタ20にデータが入力される。ビデオデータ240 の先頭データ241 は、既述したように0010 0110b

であるとする。

【 0 0 7 1 】

最初の 1 バイトが入力されると、先の残量データとあわせて、1111 0010 0110 b となる。バレルシフタ内のデータ数は、(bit 単位で) 12 である。

【 0 0 7 2 】

上記 1 バイトが入力されたことに対応する状態として、本来は次の 3 通りのケースが考えられる。すなわち、(1) 先行出力長格納部 103 の値 < テーブルから得られた DCT 符号のビット長、(2) 先行出力長格納部 103 の値 > テーブルから得られた DCT 符号のビット長、そして、(3) 先行出力長格納部 103 の値 = テーブルから得られた DCT 符号のビット長となる各状態である。

【 0 0 7 3 】

図 3 に示した例では、「(1) 先行出力長格納部 103 の値 < テーブルから得られた DCT 符号のビット長」の状態に相当する。前述具体例データである 1111 001 0 0110b に対応しては、テーブル 251 から Run 1 / Level 3 とデコードされ、そのデータ長は、8 Bit である。

【 0 0 7 4 】

このときには、次段回路 (DCT 係数を用いて何らかの演算を行う回路、例えば、電子透かし検出器) に Run 1 / Level 3 を供給する。

【 0 0 7 5 】

このとき、同時に、先行出力長格納部 103 に相当するデータ (1111b) を破棄する。つまり、バレルシフタ内のデータ数は、12 から、先行出力長格納部 103 の格納値 ; 4 を差し引いた 8 となる。

【 0 0 7 6 】

また、このとき同時に、テーブル 251 から得られたデータ数 ; 8 から、先行出力長格納部 103 の保持値 ; 4 を差し引いた、値 ; 4 を端数長格納部 104 に格納する。先行出力長格納部 103 の保持値は、4 から 4 を引き 0 となる。

【 0 0 7 7 】

続いて次のクロックで、端数長格納部 104 を参照して格納値が 4 であることに対応して、同数のデータを図示されない手段で、ビットパッカー 60 に出力する (

送る)。つまり、Run 1/Level 3 の 1 符号については電子透かし挿入対象にはならないことを意味する。

【 0 0 7 8 】

これと同時に、端数長格納部104 の格納値；4 から出力データ長の4 を引いた値を端数長格納部104 に格納する。格納値は、0 となる。また、4 bit のデータを出力したため、バレルシフタ内の残データは、0110b の4 Bit となる。次に、テーブル252 より、0110b は、EOB であるとデコードされることで処理が継続されることとなる。

【 0 0 7 9 】

次に、「(2) 先行出力長格納部103 の値 > テーブルから得られた DCT 符号のビット長」であった場合について解説する。テーブルから得られた値が、4 未満であった場合（例えば、3 とする）、この条件時には、テーブルに基づきデコードされた DCT 係数を、次段回路に供給する。

【 0 0 8 0 】

このとき、バレルシフタ内のデータ数は、12 から、9 となり、3 Bit 分のデータを破棄する。また、先行出力長格納部103 の格納値を4 から3 を差し引いた1 にする。この結果の状態は既に説明した(1) の条件に適合しており、その後の動作は、既述動作を経ることでデコードを継続できる。

【 0 0 8 1 】

最後に、「(3) 先行出力長格納部103 の値 = テーブルから得られた DCT 符号のビット長」であった場合について解説する。先の(1)の例では、先行出力長格納部103 の値は4 であり、また、テーブル251 から得られた値が8 であったので、 $4 < 8$ のため、上述したような処理となった。しかし、たまたまテーブルから得られた値が、4 であった場合には、 $4 = 4$ であるから、以下のような処理を行う。

【 0 0 8 2 】

テーブルからデコードされた DCT 係数を、次段回路に供給する。このとき、同時に、先行出力長格納部103 に相当するデータ(1111b) を破棄する。その結果、バレルシフタ内のデータ数は、12 から、先行出力長格納部103 の4 を差し引

いた 8 となる。

【 0 0 8 3 】

また、このとき同時に、テーブルから得られたデータ数；4 から、先行出力長格納部103 の格納値；4 を差し引いた値；0 を端数長格納部104 に格納する。先行出力長格納部103 の保持値は、4 から 4 を引き 0 となる。

【 0 0 8 4 】

このようにして上述の(3)の場合には、端数長格納部104 と先行出力長格納部103 は、値 0 となるため、その後のデコードを継続できるから、以後に特殊な処理は必要としない。

【 0 0 8 5 】

続いて、実施例回路における、入力データが定常的に入力されない場合への対応について説明する。本発明が適用される装置では、入力システムストリームデータ1 が、定常的に入力されるとはかぎらない。たとえば、TS では、188 バイトは連続して入力するが、続く188 バイトを入力する前に、一定時間の「非入力タイム」が存在することが多い。

【 0 0 8 6 】

このとき、本実施例の回路では、最初の188 バイトの最後のデータが DCT 係数の途中だった場合には、(DCT 係数の切れ目ではない場合など) バレルシフタ内にデータが残留する。仮にそのままこれを放置すると、最初の188 バイトを入力しても、その後、次の188 バイトの入力を開始しない限り、最初の188 バイトの全体が出力されることはない。実施例回路ではこのような不都合を回避して、入力したデータのすべてを確実に出力することができる。

【 0 0 8 7 】

このために、実施例回路においては、(A)；適宜手段によって、データが一定時間入力されない事を検出し、これに基づきバレルシフタ20から残留データを出力するようにしている。これに替えて、(B)；1 区切りのデータの入力完了を通知してもらい、この通知信号に基いてバレルシフタ20から残留データを出力するように構成することもできる。

【 0 0 8 8 】

上記の、(A) データが一定時間入力されない事を検出する手段（検出回路）は、図 1 の制御部 100 の 1 機能として実現することが可能である。すなわち、制御部 100 によって、V-E S 検出部 10 からデータが出力されないクロック数をカウントし、設定数より大きくなったら、「1 区切りのデータ」の入力が完了したものと判断するように構成すれば良い。勿論、別途検出回路（図には明示なし）を設けてデータが一定時間入力されない事を検出して通知信号を発生・通知する構成としても良い。

【 0 0 8 9 】

バレルシフタ 20 の残量データを出力する制御方法は、段落番号【 0 0 5 6 】～【 0 0 6 3 】にて記載されているシステム停止状態に対処するための、段落番号【 0 0 6 5 】から記載されている制御と同様で良い。

【 0 0 9 0 】

すなわち、略記すれば、この検出に応じて、制御部 100 では、バレルシフタ内残留データ数を先行出力長格納部 103 に格納して、バレルシフタ内にデータを残留したまま、当該データをバレルシフタ 20 から出力させる。これによりデータ結合部 70 からデータが出力される。

【 0 0 9 1 】

入力システムストリームデータ 1 の入力が再開されると、残留データは破棄されて処理が継続される。このようにして連続した 1 区切りの入力システムストリームデータの出力が中断されたまま長時間経過してしまうとの不都合が回避できる。

【 0 0 9 2 】

前述した、(B)； 1 区切りのデータの入力完了の通知に基いて残留データを出力する構成について説明する。この場合には、1 区切りのデータの入力完了を知るために、実施例回路において、図示されない手段、たとえばシステム上に存在する CPU 等から、1 区切りのデータの入力完了を知らせる信号（通知信号）を入力してもらうように構成しておく。そして、通知信号も条件として入力システムストリームデータ 1 が定常的に入力されずバレルシフタ 20 内部にデータが残留した場合を検出し、この検出に対応して、制御回路 100 が前述したとまったく同

様にバレルシフタの残留データを出力するように構成しておく。バレルシフタ20の残量データを出力する制御は既述したのと同様で良い。この構成でも、連続した1区切りの入力システムストリームデータの出力が中断されたまま長時間経過してしまうとの不都合が回避できる。

【0093】

以上説明したように、実施例によれば、MPEGシステムストリームを入力し、電子透かし挿入のためにDCT係数に改竄をおこない、再び、MPEGシステムストリームに復元するデータ処理が、大きなメモリを使用することなしに、リアルタイムに行える。

【0094】

本発明は、上述実施例に限定されるものではなく各種の応用が可能である。例えば、既述実施例では、1つのビデオエレメンタリーを処理しているが、2つ以上のビデオエレメンタリーを同時に処理するシステムを構築することができる。一例として、3つのビデオエレメンタリーを内包するTS (Transport Stream) を処理する場合のMPEGデータ処理回路の実施例を図4の構成ブロック図に、また対応するメモリ格納フォーマットを図5に示す。

【0095】

すなわち、図4の様に先の図1におけるバレルシフタ20から、ビットパッカー60までの回路を三重化し、メモリ90の管理形態を図5の様に拡張すれば良い。データ結合部70'では、メモリ管理形態301、メモリ管理形態302、メモリ管理形態303を入力したときに、各々に対応する三重化されたビットパッカー60からデータを入力するようにする。その他の構成部分は先の実施例と略同様であり同一符号または対応符号を付して説明は省略する（例えば、バレルシフタ20-1, 20-2, 20-3は、図1のバレルシフタ20と同等であることを示す）。各部の動作についても当業者にとって類推容易であり説明を省略する。

【0096】

その他にも、先の実施例では、可変長デコーダ30からの出力である可変長符号31は、1つの符号であったが、さらに処理性能を向上させるために、複数の符号が同時にデコードされるように構成したシステムにおいても本発明が適用できる

【 0 0 9 7 】

また、先の実施例では、入力システムストリームデータ1 や、システムストリームデータ11や、出力システムストリームデータ71を 8 Bit 幅のものとして説明しているが、1 6 ビットや 3 2 ビットなど、8 の倍数ビットの幅であれば本発明を適用でき高速化が図れる。

【 0 0 9 8 】

また、メモリ出力データ91についても、9 Bit [8 Bit+属性 1 Bit] の場合を説明しているが、8 の倍数ビット+ 属性 (1 Bit) とした構成が可能である。

【 0 0 9 9 】

また、先の実施例では、ビデオエレメンタリーデータをバレルシフタ20に入力しているが、音声データ側を入力し、音声データを改竄することも可能である。すなわち、V - E S 検出部10を適宜に変更することで、音声データや、トランスポートストリーム (Transport Stream) 時の P A T 等の伝送情報を改善するシステムに応用することもできる。

【 0 1 0 0 】

なお、以上の説明では、電子透かし挿入部40を用いた電子透かし挿入回路について記載しているが、本発明はシステムストリームに含まれる D C T 係数に改竄を行いもとのシステムストリームに復元する回路であればよい。つまり、電子透かし挿入部40相当部分 (データ置換部) は、例えば特願平11-353503 号 (「画像情報の画質低下制御装置」) に開示されているような回路であってもよい。

【 0 1 0 1 】

一般に、D C T 係数の改竄により個々の符号の符号長 (ビット長) が変化することが考えられる。本発明は、入力システムストリームデータのデータ数と出力システムストリームデータのデータ数が一致するシステム、すなわち、複数の符号にまたがって最終的に (ストリーム全体で) ビット長の増減が 0 になるシステムを想定しているが、D C T 係数の改竄の過程で 1 つの D C T 係数の符号長が異なることは差し支えない。

【 0 1 0 2 】

従って、先に従来技術として挙げた、特開平11-341450 号公報；「電子透かし埋め込み装置および電子透かし抽出装置」に本発明を適用することができる。同公報の開示技術では、ビットの変化が起こった場合は、スタッフィングビット（同公報のZSB）で整合性を保っている。本発明は、その他この種の装置にてひろく応用可能である。

【0103】

【発明の効果】

以上説明したように本発明によれば、ごく小規模なメモリで構成されたFIFO、或いはFlipflopで構成された小さなFIFOを使用した、先に詳述した如き回路構成によって、大容量記憶媒体を必要とすることなしに、MPEGデータに対して電子透かしの挿入等のDCT係数改竄とデータ復元処理、あるいは電子透かし検出などのデータ処理をリアルタイムで行える装置に適用する事が可能な小規模なMPEGデータ処理回路を得ることができる。

【0104】

本発明回路は1チップのLSI化も可能な小規模回路でありながら、電子透かし挿入に用いた場合にもその挿入量は、大容量記憶媒体を利用したものとは比べても遜色ない。

【図面の簡単な説明】

【図1】

本発明の実施例回路の構成を示すブロック図である。

【図2】

本発明に係るメモリにおけるデータ格納フォーマットの説明図である。

【図3】

MPEGデータストリームの構成例を表す図である。

【図4】

本発明の他の実施例回路の構成を示すブロック図である。

【図5】

図4の実施例におけるメモリのデータ格納フォーマットの説明図である。

【符号の説明】

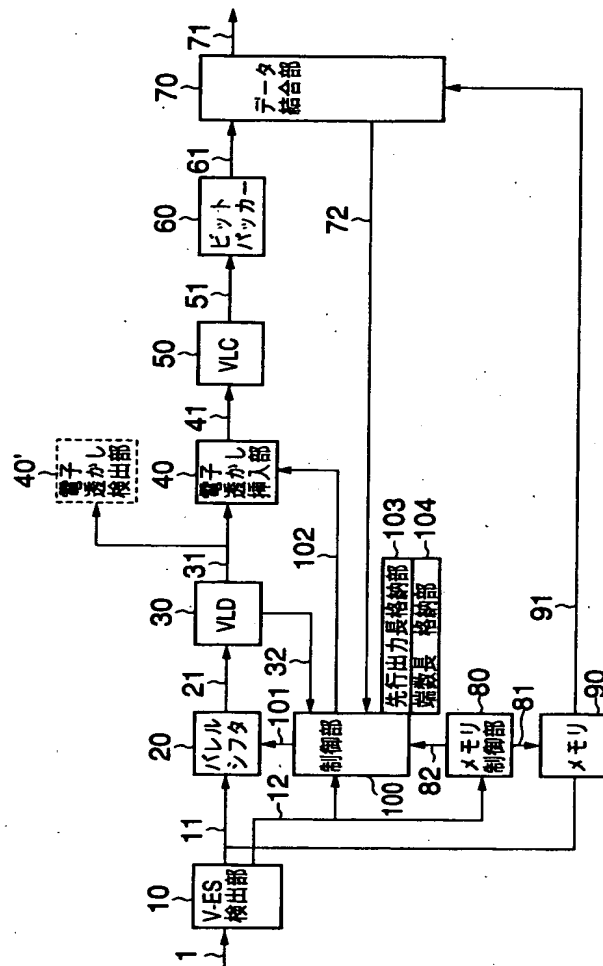
- 1 …入力システムストリームデータ
- 10…ビデオエレメンタリー (V-E S) 検出部
- 11…システムストリームデータ
- 12…V E S ステータス信号
- 20…バレルシフタ (第一記憶部)
- 21…可変長 (VL; Variable Length) 符号
- 30…可変長デコーダ (VLD; Variable Length Decoder)
- 31…D C T 係数
- 32…処理符号長
- 40…電子透かし挿入部
- 40' …電子透かし抽出部
- 41…電子透かし入り D C T 係数
- 50…可変長エンコーダ (VLC; Variable Length enCoder)
- 51…電子透かし入り可変長 (VL) 符号
- 60…ビットパッカー (Bit Packer)
- 61…電子透かし入り V E S
- 70…データ結合部
- 71…出力システムストリームデータ
- 72…結合ステータス信号
- 80…メモリ制御部
- 81…メモリ制御信号
- 82…メモリデータ残量ステータス信号
- 90…メモリ (第二記憶部)
- 91…メモリ出力データ
- 100 …制御部
- 101 …バレルシフタ制御信号
- 102 …電子透かし挿入制御信号
- 104 …先行出力長格納部
- 105 …端数長格納部

200 …第一メモリ格納形態

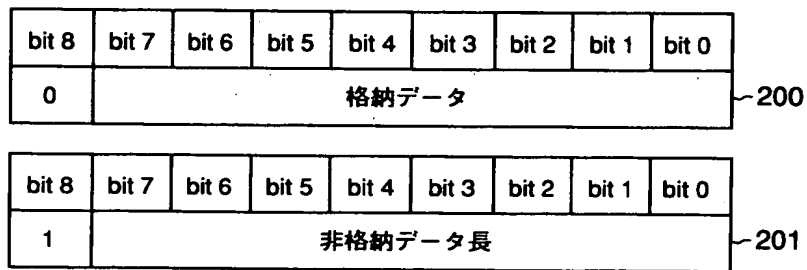
201 …第二メモリ格納形態

【書類名】 図面

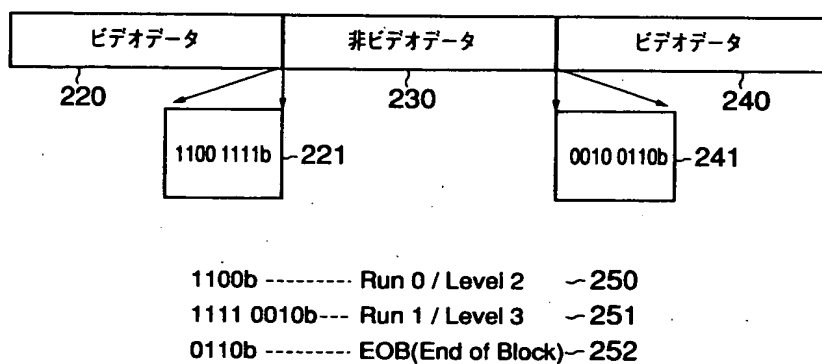
【図 1】



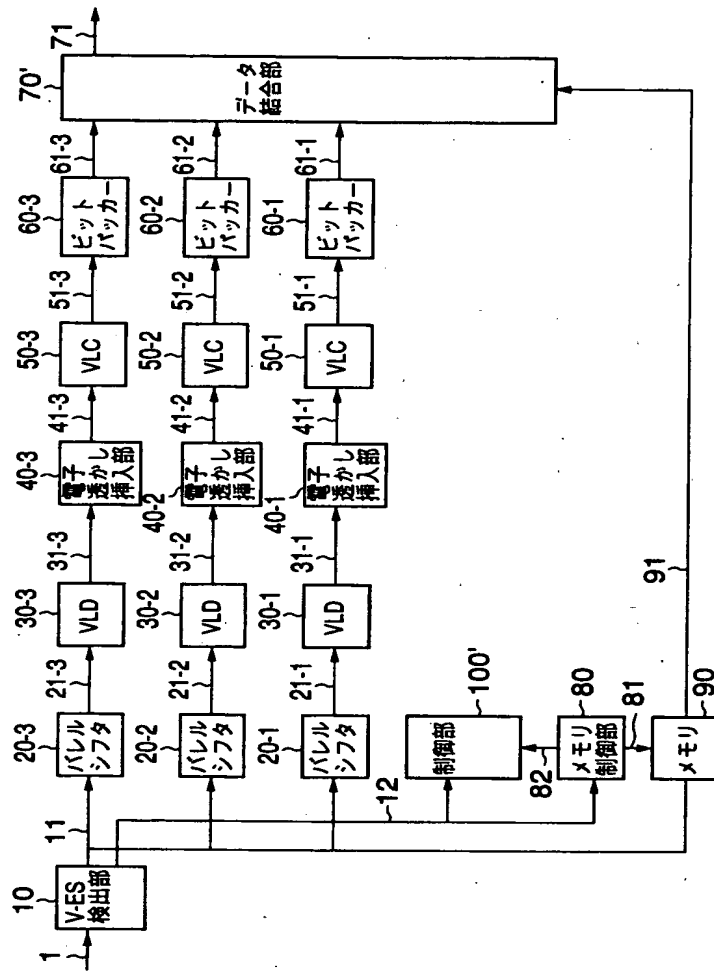
【図 2】



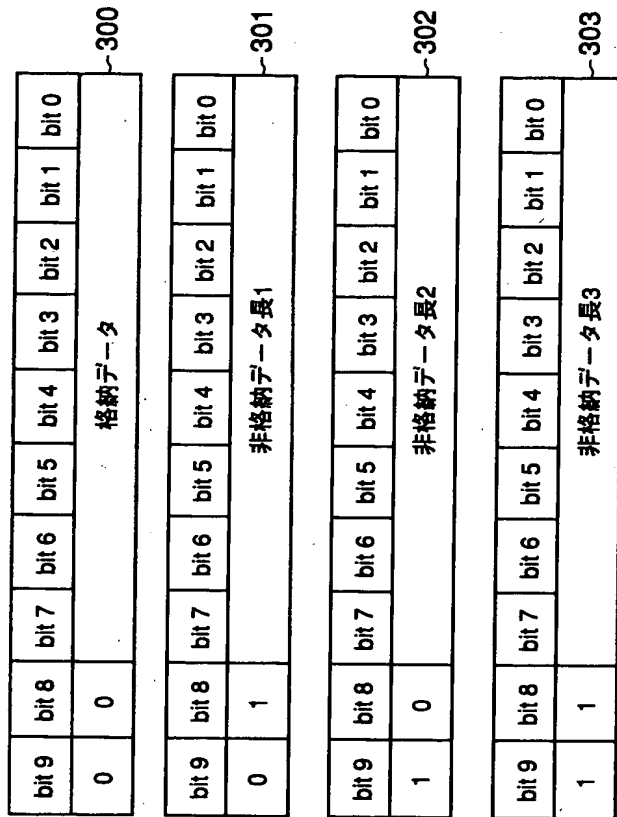
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 ごく小規模なメモリを活用した、MPEGデータに対して電子透かしの挿入や検出等のデータ処理がリアルタイムで行える装置に適用可能な小規模なMPEGデータ処理回路を提供する。

【解決手段】 入力されるMPEGシステムストリームを一時的に、処理すべきデータブロックと、処理を行わないデータブロックとに分割し、第一記憶部には処理すべきデータを順次格納し、第二記憶部には前記第一記憶部に格納したデータ数あるいは処理を行わないデータを順次格納し、入力されたMPEGデータの順に従って、処理を行わないデータを第二記憶部から出力し、また処理すべきデータを第一記憶部から出力して所定部を部分的に置換して、それぞれのブロックを元の順序で結合してMPEGデータとして出力する。例えば、MPEGデータからシステムストリームデータとビデオエレメンタリーデータの出力状態信号とを出力するV-E S検出部と、順に接続された非ビデオエレメンタリーデータ部を格納するメモリ、ビデオエレメンタリーデータ部をビット単位に分割し格納するバレルシフタ、可変長デコーダ、電子透かし挿入部（データ置換部）、可変長エンコーダ、ビットパッカー部とデータ結合部、および、制御部、メモリ制御部でMPEGデータ処理回路を構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社